

一种基于片上变压器的数字隔离器编解码方案

张风体

(电子科技大学 微电子与固体电子学院, 四川 成都 610054)

摘 要: 片上变压器是在硅片上制造的空心变压器, 具有高耦合系数, 低功耗和可集成性. 传统隔离通信采用分立元件设计, 不便于集成. 而基于片上变压器的隔离器设计在功耗、体积、传输速率等各方面比传统的隔离器具有明显优势和广泛的应用前景. 针对片上变压器, 数字信号被编码为高速脉冲形式, 在没有输入跳变时, 刷新电路周期地给出刷新脉冲校正直流电位, 这对于上电状态和较低数据速率的输入波形或恒定的直流输入情况下是很重要的.

关键词: 磁耦合; 隔离器; 低压; 片上变压器

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2014)01-0164-04

An Codec Scheme for Digital Isolator Based on the Chip Transformer

ZHANG Feng-ti

(School of Microelectronics and Solid State Electronics, University of
Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: Chip transformer is an air-core transformer made on silicon wafer, which has high coupling coefficient, low power consumption and integratability. Traditional isolation communication design using discrete component which cannot be facilitate integration, while an isolator design based on the chip transformer has obvious advantages than traditional isolation instruments in power consumption, volume, transmission rate and has a broad prospect of application. According to the chip transformer, digital signal is transmitted in high-speed pulse form. When there is no voltage jump, refresh circuit will give refresh impulse periodically to correct dc potential, and this is very important on under these conditions of power-up state, lower data rate input waveform and constant dc input.

Key words: magnetic coupling; isolator; low pressure; chip transformer

1 引言

隔离就是将一部分与其他部分中的非理想影响分离开来. 在电子电路中, 电介质通过阻断直流电 (DC) 实现电路隔离. 数字隔离器传输二进制信号, 模拟隔离器则在隔离层上传输连续信号. 隔离器按原理主要分为三类: 光耦合隔离器, 磁耦合隔离器和电容耦合隔离器, 三者各有优缺点. 对于采用磁耦合隔离的设计, 早期除使用变压器之外, 还使用各种模拟隔离放大器. 在通道数量有限及信号带宽小的应用中, 目前仍采用这些放大器. 隔离放大器虽然具有高可靠性和高精度, 但受限于信号带宽 50 kHz, 其

老旧的技术要求最小电源电压, 不支持目前 3 V 及以下的低电压应用. 此外, 其制造过程涉及输入和输出部分单独制作, 异常电路匹配的激光微调, 以及在两部分安装隔离电容, 使这些器件相当昂贵. 集成式磁耦合隔离技术是利用芯片上集成的变压器实现隔离, 可以集成在一片 IC 芯片内, 相对于光电耦合器所采用的发光二极管 (LED) 与光电二极管的组合, 由于其取消了光电耦合器中影响效率的光电转换环节, 因此其功耗仅为光电耦合器的 1/10~1/50. 数字接口具有稳定的性能特征, 具有比光电耦合器更高的数据传输速率、时序精度和瞬态共模抑制能力, 消除了光电耦合不稳定的电流传输率、非线性传输、

温度和使用寿命等方面的问题. 相对于分离变压器的设计, 集成式隔离器在体积和功耗等方面具有很明显的优势, 而且集成电路对工作电压要求不高, 可以应用于低压场合, 如医疗, 车载, 数据总线等, 更加安全可靠.

2 编解码原理

数字信号的编码传输有很多方式, 文献[1-2]给出了两种方案, 都是采用分离元件设计的. 在这些方案的基础上, 结合片上变压器的优势, 本文给出了一种改进的编解码方案. 由于变压器不能传输直流信号和低频信号, 在采用变压器做隔离传输时, 可以将信号编码成脉冲形式, 而且脉冲宽度越短, 功耗也就越低. 图1表示编码原理, 当输入的数字信号由低跳高时, 编码为两个连续的脉冲; 由高跳低时编码为一个脉冲. ENC_IN 为输入的数字信号, T_O 为变压器输出信号, DEC_O 为解码还原出的信号, 对应的解码原理也就很明确了.

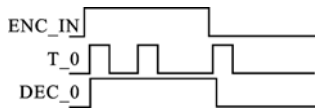


图1 编码原理图

3 片上变压器

片上变压器是实现集成式隔离通信的基础, 在集成应用场合, 其必须具备体积小、良好的电压增益和适当的工作频率范围等特点. 一般来说, 为了达到一个良好的电压增益, 变压器必须有小的线圈交流电阻和良好的耦合系数. 设计片上变压器最艰巨的挑战是植入式集成线圈的尺寸必须在安全和允许的限定范围内. 有很多文章介绍了集成电感和变压器的设计和应用, 例如, 文献[3]给出一个硅衬底嵌入式 $3.6 \mu\text{H}$ 螺旋电感的设计方案, 可以植入 $4.5 \text{ mm} \times 4.5 \text{ mm}$ 的 IC.

片上变压器设计制造是基于硅嵌入式空心电感技术^[4], 具体制造工艺流程及性能分析可以参见文献[5]. 图2是变压器的三维立体图. 这样设计出的变压器经测试, 在 50Ω 负载时, 从 12 至 350 MHz 范围内, 电压增益 -0.8 dB , 这是目前为止最好的电压增益, 这项技术在信号隔离传输中显示了巨大的潜力.

本文就是基于上述设计的片上变压器, 提出了在数字信号隔离传输领域的应用. 根据设计提取的变压器仿真模型如图3所示.

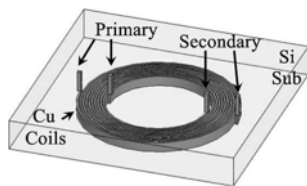


图2 片上变压器 3D 图

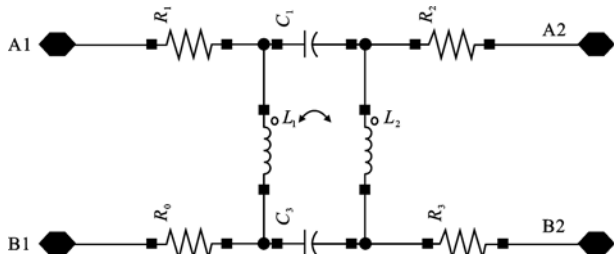


图3 片上变压器模型

4 电路设计

4.1 原理框图

发送端和接收端使用变压器隔离, 数字信号的传送是通过发送大约 1 ns 宽的短脉冲到变压器另一端来实现的, 两个连续的短脉冲表示一个上升沿, 单个短脉冲表示下降沿, 图4为原理框图.

为了降低噪声的影响, 输入端使用一个施密特触发器和 SR 锁存器来滤除噪声. DIFF 模块主要功能是在输入信号的上升边沿产生一个 1 ns 的脉冲, 脉冲宽度由电容充放电时间决定. 数字输入信号被分成两路处理, 上路将延迟信号和非延迟的信号进行异或非操作之后, 提取出输入信号的边沿跳变 P1. 下路信号经过 DIFF 模块单独在上升沿生成一个脉冲 P2. 然后两路信号合成为 S1, 实现正常数据的编码. 考虑传输直流信号, 在发送端加入一个固定时间的刷新电路, 如果 $1 \mu\text{s}$ 左右没有检测到信号边缘, 则发送刷新脉冲来保证直流的正确性. 输入为高电平, 刷新脉冲为两个连续的短脉冲, 输入为低电平则为单个短脉冲. 刷新电路输入为 P1, 输出为 S2, P1 信号为低时将定时电路清零, 只有超过 $1 \mu\text{s}$ 时, 定时电路才会输出高电平. 经过处理后得到两个编码信号, 根据输入电平的高低选择输出, 得到 S2. 最终 S1 和 S2 叠加, 成为最终的编码信号, 送至变压器.

在次级端, S 信号是施密特触发器还原的编码信号. 由触发器 Q0 和 Td 延迟电路组成的监测电路产生一个固定宽度门信号 G, 可以防止由于其他原因产生连续多个脉冲使得解码信号误翻转. 在信号宽度内的连续脉冲只有第一个有效, 可知 G 信号宽

度要大于一个单脉冲长度,小于两个脉冲长度,由 TD 模块精确控制. S 信号经过 Q0 后得到 G 信号,故 G 滞后于 S. S 信号的第一个脉冲到来的时候,门信号 G 还没有发生翻转,此时 Q1 触发器的 Q 输出保持低;第二个脉冲到来时,门信号已经发生反转,此时 Q1 触发器发生翻转, G 信号作为 Q2 触发器的

时钟信号. 将 Q1 的输出采样到 Q2, 同时 G 信号将 Q1 清零, 从而解码得到原始信号, 图 4 右上侧有解码时序. 接收端使用了一个监视定时器, 在 $5\ \mu\text{s}$ 时间内没有检测到输入跳变则关闭输出, 保证在没有检测到刷新脉冲时输出正常.

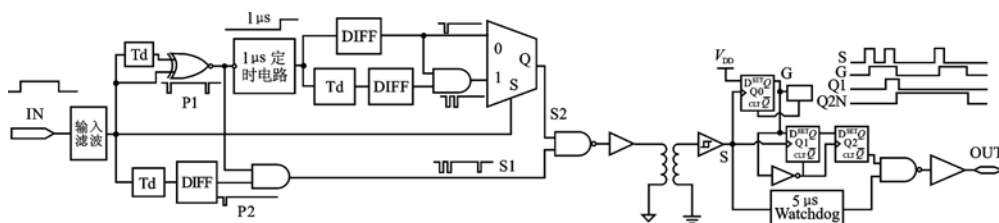


图 4 原理框图

4.2 电路实现

本方案采用数字电路实现, 这里只讨论 Delay 电路, 图 5 为 Delay 电路图.

Delay 电路是定时电路, DIFF 电路以及 TD 电路等的基本模块, 为了能够得到精确的延迟时间, 采用电容充放电的原理进行设计. VB1、VB2 为偏置端, 通过对电容充放电产生相对于输入信号的延迟, 施密特整形后得到延迟后的信号. 整形电路为经典的施密特电路, 可以设置转折点电位, 施密特触发器

设计参见文献[6]. 当偏置端电位确定后就以一个固定的电流对电容进行充放电, 从而确定了延迟时间. 假设充放电电流 I_B , 电容值 C , 施密特转折电压为 V_{SPH} 、 V_{SPL} , 则上升沿和下降沿对应的延迟时间 t_{d1} 、 t_{d2} 的计算公式:

$$t_{d1} = \frac{C * V_{SPH}}{I_B} \quad (1)$$

$$t_{d2} = \frac{C * (V_{DD} - V_{SPL})}{I_B} \quad (2)$$

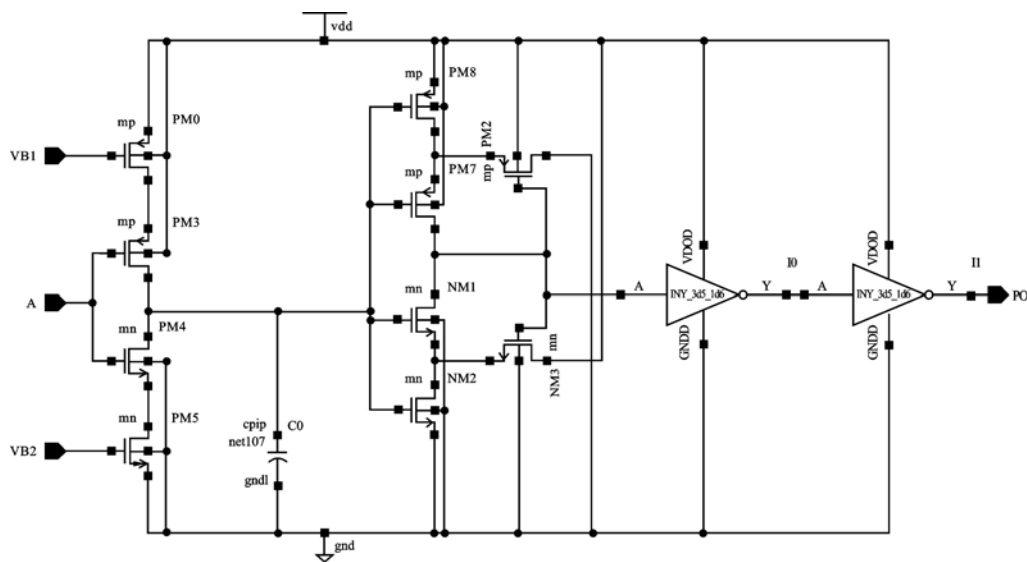


图 5 Delay 电路图

DIFF 电路由 Delay 模块得到的信号和没有延迟的信号相与得到.

5 仿真结果分析

基于 CSMC $0.5\ \mu\text{m}$ CMOS 工艺对电路进行设计和仿真. 图 6 是在输入测试信号为周期性方波, 在

$15\ \text{pF}$ 负载下所测得通道编解码波形. 可以看出, 解码后的信号相对于原始信号存在延迟, 实际测试在 $20\ \text{ns}$ 左右, 可以满足正常应用场合. 编码信号在变压器两端存在振铃现象, 可以在输入端施密特触发器来消除而不致错误解码, 实际仿真可以达到 $50\ \text{Mb/s}$ 数据速率的隔离传输.

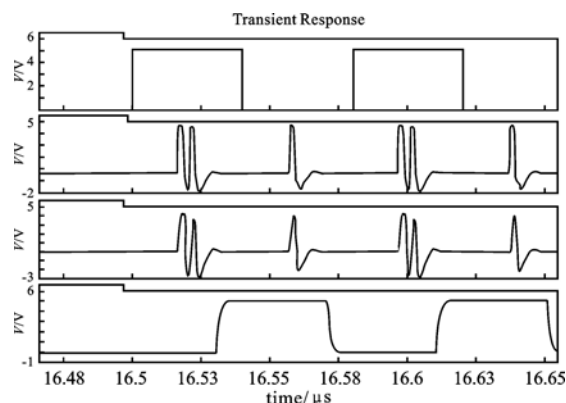


图 6 编解码波形

整个设计采用 5 V 供电, 双侧电压分开, 静态时的功耗分别为 0.43 mA 和 0.14 mA, 各模块的功耗分布如表 1 所示. 动态功耗是在不同的传输速率下测定的, 表 2 中给出 4 个速率下的动态功耗, 可以计算输入动态功耗 $IDD1(D)$ 和 $IDD2(D)$ 分别是:

$$I_{DD1(D)} = 0.177 \text{ mA}/(\text{Mb/s}),$$

$$I_{DD2(D)} = 0.036 \text{ mA}/(\text{Mb/s}).$$

表 1 静态功耗分布

发送端	功耗/ μA	接收端	功耗/ μA
偏置	114	偏置	68
1 μs 定时	68	5 μs 定时	8
上电复位	39	上电复位	23
缓冲输出	102	缓冲输出	27
输入滤波	80		
其他	31	其他	20
总功耗	434	总功耗	140

表 2 动态功耗

参数	仿真结果/ mA		测试条件/(Mb/s)
	Typ	Max	
IDD1	0.53	0.65	2
IDD2	0.15	0.18	
IDD1	1.96	2.13	10
IDD2	0.44	0.52	
IDD1	4.65	4.98	25
IDD2	0.98	1.15	
IDD1	9.15	9.76	50
IDD2	1.90	2.21	

6 结束语

本文提出了一种基于片上变压器可集成数字隔离器的设计方案, 采用 CSMC 0.5 μm CMOS 工艺仿真验证. 其体积小, 可以实现直流到 50 Mb/s 的数据隔离传输, 延迟只有 20 ns, 脉宽失真 $< 3 \text{ ns}$, 而且具有很低的功耗, 支持低电压工作并能实现电平转换, 可以应用于 SPI 接口和数字转换器的隔离、RS-232/RS-422/RS-485 收发器隔离、数字现场总线隔离、混合动力汽车、蓄电池监控、电机驱动等场合. 与其他光电隔离的解决方案不同的是, 本方案还具有直流校正功能, 有一个刷新电路保证即使不存在输入跳变的情况下, 输出状态也能与输入状态相匹配, 这对于上电状态和低数据速率的输入波形或恒定的直流输入情况下是很重要的.

参考文献:

- [1] 郑采君, 肖原贾. 新型磁耦合隔离电路设计[J]. 电子设计工程, 2011, 19(4): 162-166.
- [2] 徐华. 数字隔离器工作原理及应用实例[J]. 电脑知识与技术, 2008, 3(4): 772-773.
- [3] Rongxiang Wu, Salahuddin Raju, Mansun Chan, et al. Wireless power link design using silicon-embedded inductors for brain-machine interface[C]// proceedings of the International Symposium on VLSI Design, Automation, and Test (VLSI-DAT). Hsinchu: IEEE, 2012:1-4.
- [4] Rongxiang Wu, Johnny K O Sin. A novel silicon-embedded coreless inductor for high-frequency power management applications[J]. IEEE Electron Device Letters, 2011(32):60-62.
- [5] Rongxiang Wu, Johnny K O Sin, Hui S Y. (Ron). Novel silicon-embedded coreless transformer for on-chip isolated signal transfer[J]. IEEE Magnetics Letters, 2011(2):516-541.
- [6] 贝克. CMOS 电路设计布局与仿真[M]. 刘艳艳, 张为, 译. 北京: 人民邮电出版社, 2008.

作者简介:

张风体 男, (1988—), 硕士研究生. 研究方向为数字隔离通讯和电源设计.